



03500.017567

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Yasuo YAMAZAKI

Application No.: 10/664,858

Filed: September 22, 2003

For: MANUFACTURING METHOD OF  
SEMICONDUCTOR DEVICE

)  
:  
Examiner: Unassigned  
)  
:  
Group Art Unit: Unassigned  
)  
:  
)  
:  
)  
:  
December 2, 2003  
:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed is one  
certified copy of the following foreign application:

JAPAN      2002-275948, filed September 20, 2002.

Applicant's undersigned attorney may be reached in our Washington, D.C., office by  
telephone at (202) 530-1010. All correspondence should continue to be directed to our address  
given below.

Respectfully submitted,

Attorney for Applicant  
Steven E. Warner  
Registration No. 33,326

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200  
SEW/eab

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年    9 月 2 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 2 7 5 9 4 8  
Application Number:

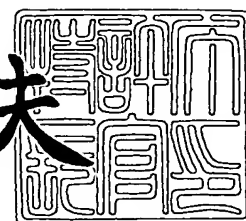
[ST. 10/C] :                      [ J P 2 0 0 2 - 2 7 5 9 4 8 ]

出      願      人                      キヤノン株式会社  
Applicant(s):

2 0 0 3 年 1 0 月    7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 4807004

【提出日】 平成14年 9月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/027

【発明の名称】 半導体装置の製造方法

【請求項の数】 9

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 山▲崎▼ 康生

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

【代理人】

    【識別番号】 100088328

    【弁理士】

    【氏名又は名称】 金田 暢之

    【電話番号】 03-3585-1882

【選任した代理人】

    【識別番号】 100106297

    【弁理士】

    【氏名又は名称】 伊藤 克博

【選任した代理人】

    【識別番号】 100106138

    【弁理士】

    【氏名又は名称】 石橋 政幸

## 【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 少なくとも 1 つの層について、該層のパターンを複数に分割し、分割された各パターンをつなぎ合わせて分割露光でパターン形成する工程を含む、複数の層により構成された半導体装置の製造方法において、

他の配線との位置関係によって前記半導体装置の動作に実質的な影響を与える配線を含む層については 1 枚のマスクを用いて一括露光でパターン形成することを特徴とする半導体装置の製造方法。

【請求項 2】 他の配線との位置関係によって生じる寄生容量の値が前記半導体装置の動作に実質的な影響を与える配線を含む層については 1 枚のマスクを用いて一括露光でパターン形成する、請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記半導体装置は、複数の同じパターンをそれぞれ含む前記複数の層により構成された同じ構造の複数の素子を有し、

前記素子間で前記寄生容量の値に差があると、前記各素子の特性に、前記半導体装置の動作に実質的な影響を与えるような、ばらつきを生じさせる配線を含む層については 1 枚のマスクを用いて一括露光する、請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記半導体装置が、前記各素子によって光電変換を行う撮像装置であり、

前記素子間で前記寄生容量の値に差があると、画像にて視認できる程度の光電変換の出力差を生じるような配線を含む層については 1 枚のマスクを用いて一括露光する、請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記半導体装置は CMOS エリアセンサであり、前記各素子が前記 CMOS エリアセンサの各 CMOS センサをなし、

前記 CMOS センサ内の電界効果トランジスタのゲート電極をなし、前記寄生容量を生じる配線を含む層については 1 枚のマスクを用いて一括露光する、請求項 4 記載の半導体装置の製造方法。

【請求項 6】 他の配線との位置関係によって前記半導体装置の動作に実質

的な影響を与える前記配線は半導体層に直接接続される配線である請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 前記配線がポリシリコンからなる、請求項 6 記載の半導体装置の製造方法。

【請求項 8】 他の配線との位置関係が前記半導体装置の動作に実質的な影響を与える配線を含む前記層についてのみ、一括露光でパターン形成し、

他の全ての層については分割露光でパターン形成する、請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】 他の配線との位置関係が前記半導体装置の動作に実質的な影響を与える配線を含む前記層以前にパターン形成する層については、一括露光でパターン形成し、

その後にパターン形成する他の全ての層については分割露光でパターン形成する、請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、複数の層により構成された半導体装置の製造方法に関する。

#### 【0002】

#### 【従来の技術】

従来、チップサイズが大きく、かつ微細なパターンを有する半導体装置の製造方法においては、各層のパターン（以下、元パターンと称す）を複数のパターン（以下、分割パターンと称す）に分割し、この分割パターンをつなぎ合わせて露光（以下、分割露光と称す）することにより 1 つの層の元パターンを形成し、それらの工程を複数回繰り返すことにより複数層からなる半導体装置を製造していた（例えば特許文献 1 参照）。

#### 【0003】

図 6 は、従来の製造方法によって製造された半導体装置の一部の構造を示す平面図である。図 6 を参照すると、半導体装置 90 は、活性領域 91、ポリシリコ

ン層 92、コンタクトホール 93 およびメタル層 94, 95 を有している。ここでは、デジタルカメラのような撮像装置などに用いられる半導体装置の画素分が例示されている。

#### 【0004】

活性領域 91 は、CMOS センサの光電変換部となる。CMOS センサとは撮像装置の 1 画素分の光電変換を行う撮像素子であり、フォトダイオード（不図示）を有している。

ポリシリコン層 92 は MOS FET (Metal-Oxide Semiconductor Field Effect Transistor) のゲート電極となる。コンタクトホール 93 は層間を接続する電極となる。メタル層 94, 95 は配線となる。

#### 【0005】

実際の半導体装置 90 では図 6 に示した構造のパターンが上下左右に連続して形成されている。

#### 【0006】

図 7 は、図 6 に示された半導体装置の製造方法について説明するための図である。(a) は、その半導体装置の平面図を示しており、(b) は、平面図上の A-A' 線における断面図を示している。

#### 【0007】

図 7 (a) を参照すると、半導体装置 90 には上下左右に繰り返されるパターンが形成されている。各層は、繰り返されたパターンを元パターンとして、それを分割した複数の分割パターンをつなぎ合わせて形成される。図 7 中の X-X' 線は、分割パターン間のつなぎ目である。

#### 【0008】

図 6 および図 7 に示された半導体装置 90 の製造方法は、まず、シリコン基板（不図示）上に熱酸化膜および SiN 膜を成膜し、所定パターンのマスクを用いてドライエッチングすることにより活性領域 91 のパターンを残す。活性領域 91 が形成されると、次に、熱酸化処理により LOCOS (Local Oxidation of Silicon) 膜（不図示）を形成する。

## 【0009】

次に、所定パターンのマスクを用いてイオン打ち込み（イオン・インプランテーション）を行うことにより所定の拡散層を形成する。

## 【0010】

次に、ポリシリコンを成膜し、所定パターンのマスクを用いてドライエッチングすることにより、MOS FETのゲート電極をなすポリシリコン層92を形成する。ポリシリコン層92のが形成されると、次に層間絶縁膜（不図示）を形成する。

## 【0011】

次に、その層間絶縁膜に、所定パターンのマスクを用いてコンタクトホール93を形成する。

## 【0012】

次に、Al-Cu膜を成膜し、所定パターンのマスクを用いてドライエッチングすることによりメタル層94を形成する。メタル層94が形成されると、次に、層間絶縁膜（不図示）を形成し、その層間絶縁膜にビアホールを形成する。

## 【0013】

次に、Al-Cu膜を成膜し、所定パターンのマスクを用いてドライエッチングすることによりメタル層95を形成する。

## 【0014】

これらの各層のパターンはX-X'線をつなぎ目とする分割露光により形成される。分割パターンの形成と、シリコン基板の移動とをステップアンドリピート方式で繰り返すことにより分割露光が行われる。分割露光においては、各分割パターンを形成する前に、下地に設けられたアライメントマークを目印として、下地に対する位置合わせ（以下、アライメントと称す）が行われる。分割露光においては、各分割パターン毎に焦点合わせを行ってもよい（例えば、特許文献2参照）。また、ここでは、各層のパターンは全て同じX-X'線をつなぎ目として分割露光する例を示したが、層間のつなぎ目をずらしてもよい（例えば、特許文献3参照）。

## 【0015】



以上の製造方法により、チップサイズが大きく、かつ微細なパターンを有する半導体装置 90 を容易に製造することができる。

#### 【0016】

##### 【特許文献 1】

特開平 5-6849 号公報

##### 【特許文献 2】

特開平 4-326507 号公報

##### 【特許文献 3】

特開平 9-298155 号公報

#### 【0017】

##### 【発明が解決しようとする課題】

分割露光において各分割パターンはアライメントにより位置合わせされる。しかし、アライメントには、ある程度の誤差（以下、アライメント誤差と称す）が含まれている。そのため、図 7（a）の X-X' 線をよく見ると、各層の分割パターン間に、ずれが生じている。

#### 【0018】

図 7（b）には、A-A' 線の断面におけるポリシリコン層 92 の形状が示されている。

#### 【0019】

分割パターン間にずれがあると、X-X' 線をまたぐ 2 つの分割パターンのポリシリコン層 92 によりそれぞれ形成されたゲート電極 81 とゲート電極 82 との間隔  $a'$  は所望の距離  $a$  と等しくない。なお、図 7（b）には  $a' < a$  となる例が示されているが、当然、 $a' > a$  となることもあり得る。ゲート電極 83 はゲート電極 81 に対応し、ゲート電極 84 はゲート電極 82 に対応しているが、ゲート電極 83 とゲート電極 84 の間には分割パターンのつなぎ目が存在しない。したがって、ゲート電極 83 とゲート電極 84 との間隔は所望の距離  $a$  と一致している。

#### 【0020】

近接した電極や配線などの間には寄生容量が生じるが、電極などが同じ形状で

も距離が異なれば容量値は異なる。したがって、分割パターンのつなぎ目をまたぐ容量は、つなぎ目をまたがない容量と異なる値となる。撮像装置などでは、この容量差が画素間の出力差として現れ、ひどい場合には画像に縞が出ることもある。

#### 【0021】

本発明の目的は、アライメント誤差の影響を低減した半導体装置の製造方法を提供することである。

#### 【0022】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置の製造方法は、少なくとも1つの層について、その層のパターンを複数に分割し、分割された各パターンを順次つなぎ合わせて分割露光でパターン形成する工程を含む、複数の層により構成された半導体装置の製造方法において、他の配線との位置関係によって半導体装置の動作に実質的な影響を与える配線を含む層については1枚のマスクを用いて一括露光でパターン形成する。

#### 【0023】

したがって、少なくとも、他の配線との位置関係に敏感な配線が一括露光で一定の位置関係で形成される。

#### 【0024】

また、他の配線との位置関係によって生じる寄生容量の値が半導体装置の動作に実質的な影響を与える配線を含む層については1枚のマスクを用いて一括露光でパターン形成することとしてもよい。

#### 【0025】

したがって、少なくとも、他の配線との位置関係によって生じる寄生容量の値に敏感な配線が一括露光で一定の位置関係で形成される。

#### 【0026】

また、半導体装置は、複数の同じパターンをそれぞれ含む複数の層により構成された同じ構造の複数の素子を有し、素子間で寄生容量の値に差があると、各素子の特性に、半導体装置の動作に実質的な影響を与えるような、ばらつきを生じ

させる配線を含む層については1枚のマスクを用いて一括露光することとしてもよい。

#### 【0027】

したがって、各素子における寄生容量の値に敏感な配線が一括露光で一定の位置関係で形成され、各素子の特性が均一化される。

#### 【0028】

また、半導体装置が、各素子によって光電変換を行う撮像装置であり、素子間で寄生容量の値に差があると、画像にて視認できる程度の光電変換の出力差を生じるような配線を含む層については1枚のマスクを用いて一括露光することとしてもよい。

#### 【0029】

したがって、各素子における寄生容量の値に敏感な配線が一括露光で一定の位置関係で形成され、各素子の光電変換特性が均一化されるので、撮像装置は画像にて視認できるような実質的な影響を受けない。

#### 【0030】

本発明の一態様によれば、半導体装置はCMOSエリアセンサであり、各素子がCMOSエリアセンサの各CMOSセンサをなしており、CMOSセンサ内の電界効果トランジスタのゲート電極をなし寄生容量を生じる配線を含む層については1枚のマスクを用いて一括露光する。

#### 【0031】

本発明の一態様によれば、他の配線との位置関係によって半導体装置の動作に実質的な影響を与える配線は半導体層に直接接続される配線であり、さらに具体的な態様によれば、その配線がポリシリコンからなる。

#### 【0032】

また、他の配線との位置関係が半導体装置の動作に実質的な影響を与える配線を含む層についてのみ、一括露光でパターン形成し、他の全ての層については分割露光でパターン形成することとしてもよい。

#### 【0033】

このように、他の配線との位置関係に敏感な配線のみを一括露光で一定の位置

関係に形成するので、半導体装置は動作上に実質的な影響を受けず、また他の層に微細なパターンを含んでよい。

#### 【0034】

また、他の配線との位置関係が半導体装置の動作に実質的な影響を与える配線を含む層以前にパターン形成する層については一括露光でパターン形成し、その後パターン形成する他の全ての層については分割露光でパターン形成することとしてもよい。

#### 【0035】

したがって、他の配線との位置関係に敏感な配線を含む層までが一括露光で形成されるので、一括露光のアライメントは一括露光された下地のパターンに対して位置合わせすればよく容易であり、また、他の配線との位置関係に敏感な配線と下地のパターンとの位置関係を均一にできる。

#### 【0036】

##### 【発明の実施の形態】

本発明の一実施形態について図面を参照して詳細に説明する。

#### 【0037】

本実施形態の半導体装置は、デジタルカメラのような撮像装置などに用いられるものであり、チップサイズが大きく、かつ微細なパターンを有している。

#### 【0038】

図1は、本実施形態の半導体装置の1画素分の回路を示す平面図である。図1を参照すると、半導体装置10は、活性領域11、ポリシリコン層12、コンタクトホール13およびメタル層14、15を有している。

#### 【0039】

活性領域11は、CMOSセンサの光電変換部となる。CMOSセンサとは撮像装置の1画素分の光電変換を行う撮像素子であり、フォトダイオード（不図示）を有している。CMOSセンサを複数有する固体撮像装置はCMOSエリアセンサと呼ばれる。

#### 【0040】

ポリシリコン層12は、CMOSセンサを構成する各MOS FET (Met

a l - O x i d e S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r ) のゲート電極となる。MOS FETには、複数のCMOSセンサの中から任意のCMOSセンサを選択するための選択トランジスタや、選択されたCMOSセンサの光電変換出力を転送するための転送トランジスタが含まれる。

#### 【0041】

コンタクトホール13は層間を接続する電極となる。メタル層14, 15は配線となる。

#### 【0042】

実際の半導体装置10では、図1に示した構造のパターンがマトリクス状に連続して形成されている。半導体装置10は、CMOSセンサを所定の行数および列数のマトリクス状に配置したCMOSEリアセンサとして働く。そして、このCMOSEリアセンサは、各CMOSセンサを選択し、各画素の光電変換出力を取り込むことにより画像データを取得する。

#### 【0043】

図2～4は、図1に示された半導体装置の製造方法の各工程について説明するための図である。

#### 【0044】

図2(a)を参照すると、まず、シリコン基板(不図示)上に熱酸化膜およびSiN膜を成膜し、所定パターンのマスクを用いてドライエッチングすることにより活性領域11のパターンを残す。活性領域11は微細なパターンを含まないため、縮小投影せずに1枚のマスクを用いて層全体を露光すること(以下、一括露光と称す)が可能である。そのため、活性領域11のパターンを形成する工程では、この層全体のパターンを一括露光により形成する。活性領域11が形成されると、次に、熱酸化処理によりLOCOS(Local Oxidation of Silicon)膜(不図示)を形成する。

#### 【0045】

次に、図2(b)を参照すると、ポリシリコンを成膜し、所定パターンのマスクを用いてドライエッチングすることにより、MOS FETのゲート電極をな

すポリシリコン層 12 を形成する。ポリシリコン層 12 は微細なパターンを含まず、また寄生容量の影響を受け易い。寄生容量は、例えばポリシリコン層 12 からなる 2 つのゲート電極の配線間に生じ、それらの配線間の位置関係によって値が変化する。そして、この寄生容量の値が変化すると、画像にて視認できる程度の光電変換の出力差を生じるなど、半導体装置 10 の動作に実質的な影響を与える。そのため、ポリシリコン層 12 のパターンを形成する工程でも、この層全体のパターンを一括露光により形成する。ポリシリコン層 12 のが形成されると、次に層間絶縁膜（不図示）を形成する。

#### 【0046】

次に、図 3（a）を参照すると、層間絶縁膜に、所定パターンのマスクを用いてコンタクトホール 13 を形成する。コンタクトホール 13 は微細な設計を必要とする。そのため、層全体のパターン（以下、元パターンと称す）を複数のパターン（以下、分割パターンと称す）に分割し、この分割パターンをステップアンドリピート方式で順次つなぎ合わせて露光すること（以下、分割露光と称す）により元パターンを形成する。

#### 【0047】

分割露光においては、各分割パターンを形成する前に、下地に設けられたアライメントマークを目印として、下地に対する位置合わせ（以下、アライメントと称す）が行われる。しかし、アライメントには、ある程度の誤差（以下、アライメント誤差と称す）が含まれている。

#### 【0048】

図 3（a）では、コンタクトホール 13 のパターンのつなぎ目は Y-Y' 線にある。図 3（a）をよく見ると、Y-Y' 線の両側でコンタクトホール 13 の位置がややずれている。このずれはアライメント誤差によって生じている。しかし、コンタクトホール 13 のこの程度（アライメント誤差レベルで  $\sim 0.1 \mu\text{m}$  程度）のずれは画素間の出力差に現れない。

#### 【0049】

次に、図 3（b）を参照すると、Al-Cu 膜を成膜し、所定パターンのマスクを用いてドライエッチングすることによりメタル層 14 を形成する。メタル層

14は微細な設計を必要とする場合がある。そのため、ここでも元パターンを複数の分割パターンに分割し、ステップアンドリピート方式で分割露光を行う。図3(b)では、メタル層14のパターンのつなぎ目はZ-Z'線にある。図3(b)をよく見ると、Z-Z'線の両側でメタル層14の配線の位置がややずれている。しかし、メタル層14の配線のこの程度のずれは画素間の出力差に現れない。なお、本実施形態では、図3(b)に示したように、Z-Z'線は図3(a)に示したY-Y'線と同じ位置にあるが、異なる位置にあってもよい。

#### 【0050】

メタル層14が形成されると、次に、層間絶縁膜(不図示)を形成し、その層間絶縁膜にビアホール(不図示)を形成する。

#### 【0051】

次に、図4を参照すると、Al-Cu膜を成膜し、所定パターンのマスクを用いてドライエッチングすることによりメタル層15を形成する。メタル層15は微細な設計を必要とする場合がある。そのため、ここでも分割露光が行われる。図4では、メタル層15のパターンのつなぎ目はW-W'線にある。図4をよく見ると、W-W'線の両側でメタル層15の配線の位置がややずれている。しかし、メタル層15の配線のこの程度のずれは画素間の出力差に現れない。なお、本実施形態では、図4に示したように、W-W'線は図3(a)に示したY-Y'線と同じ位置にあるが、異なる位置にあってもよい。

#### 【0052】

図5は、本実施形態の半導体装置の分割パターンのつなぎ目をまたいく部分の構造を示す平面図および断面図である。(a)は、本実施形態の半導体装置の平面図を示しており、(b)は平面図上のB-B'線における断面図を示している。

#### 【0053】

図5(a)の平面図を参照すると、Y-Y'線の両側でポリシリコン層12により形成されたゲート電極の位置がずれていない。

#### 【0054】

図5(b)には、B-B'線の断面におけるポリシリコン層12の形状が示さ

れている。

#### 【0055】

Y-Y' 線をまたぐゲート電極 21 とゲート電極 22 との間隔は所望の距離 a と等しく、また Y-Y' 線をまたがないゲート電極 23 とゲート電極 24 の間隔も距離 a に等しい。

#### 【0056】

以上説明したように、寄生容量の影響を受け易いポリシリコン層 12 を一括露光により形成し、寄生容量の影響を受けにくく、微細な設計を必要とするコンタクトホール 13 およびメタル層 14, 15 を分割露光により形成するので、画素間においてポリシリコン層 12 によるゲート電極の寄生容量にばらつきが生じず、画素間に出力差のない画像を撮影できる半導体装置 10 を製造することができる。

#### 【0057】

なお、本実施形態では、寄生容量の影響を受け易いポリシリコン層 12 と、それ以前にパターン形成される活性領域 11 については一括露光でパターン形成を行い、その他の層（コンタクトホール 13 およびメタル層 14, 15）については分割露光でパターン形成を行った。したがって、ポリシリコン層 12 の各ゲート電極に生じる寄生容量にばらつきが生じないことに加えて、ポリシリコン層 12 とその下地にある活性領域 11 との位置関係が均一となるので、ポリシリコン層 12 のアライメントが容易であり、かつ各画素の出力が均一となる。ただし、本発明はこれに限定されるものではなく、例えばポリシリコン層 12 のみを一括露光でパターン形成し、他の全ての層を分割露光でパターン形成してもよい。

#### 【0058】

また、本実施形態では、固定撮像装置の CMOS エリアセンサについて例示したが、本発明はそれに限定されず、複数の層から構成された半導体装置の製造に広く適用可能である。

#### 【0059】

また、本実施形態は、ポリシリコン層 12 までを一括露光するものであるが、本発明はこれに限定されない。分割露光におけるアライメント誤差により生じる



寄生容量の値の差がCMOSエリアセンサの画素間の出力差として画像に影響しうるようなパターンの層を一括露光するのが好ましい。分割露光で発生しうるアライメント誤差は製造装置の性能によって決まる。また、その誤差により生じる寄生容量の値の画素間での差は、パターンの材質や配置によって決まる。さらに、寄生容量の差により生じる画素間の出力差は寄生容量の発生箇所に影響される。

#### 【0060】

##### 【発明の効果】

本発明によれば、少なくとも、他の配線との位置関係に敏感な配線が一括露光で一定の位置関係で形成されるので、動作上に実質的なアライメント誤差による影響を受けず、良好に動作する半導体装置を製造することができる。

#### 【0061】

また、少なくとも、他の配線との位置関係によって生じる寄生容量の値に敏感な配線が一括露光で一定の位置関係で形成されるので、動作上に実質的な影響を受けず、良好に動作する半導体装置を製造することができる。

#### 【0062】

また、各素子における寄生容量の値に敏感な配線が一括露光で一定の位置関係で形成され、各素子の特性が均一化されるので、動作上に実質的な影響を受けず、良好に動作する半導体装置を製造することができる。

#### 【0063】

また、各素子における寄生容量の値に敏感な配線が一括露光で一定の位置関係で形成され、各素子の光電変換特性が均一化されるので、画像にて視認できるような実質的な影響を受けず、良好が画像を撮影する撮像装置を製造することができる。

#### 【0064】

また、他の配線との位置関係に敏感な配線のみを一括露光で一定の位置関係に形成するので、半導体装置は動作上に実質的な影響を受けず、また他の層に微細なパターンを含んでもよい。

#### 【0065】

また、他の配線との位置関係に敏感な配線を含む層までが一括露光で形成されるので、一括露光のアライメントは一括露光されたパターンに対して位置合わせすればよく容易であり、また、他の配線との位置関係に敏感な配線と下地のパターンとの位置関係を均一にできる。

【図面の簡単な説明】

【図 1】

本実施形態の半導体装置の 1 画素分の回路を示す平面図である。

【図 2】

図 1 に示された半導体装置の製造方法の各工程について説明するための図である。

【図 3】

図 1 に示された半導体装置の製造方法の各工程について説明するための図である。

【図 4】

図 1 に示された半導体装置の製造方法の各工程について説明するための図である。

【図 5】

本実施形態の半導体装置の分割パターンのつなぎ目をまたいぐ部分の構造を示す平面図および断面図である。

【図 6】

従来の製造方法によって製造された半導体装置の一部の構造を示す平面図である。

【図 7】

図 6 に示された半導体装置の製造方法について説明するための図である。

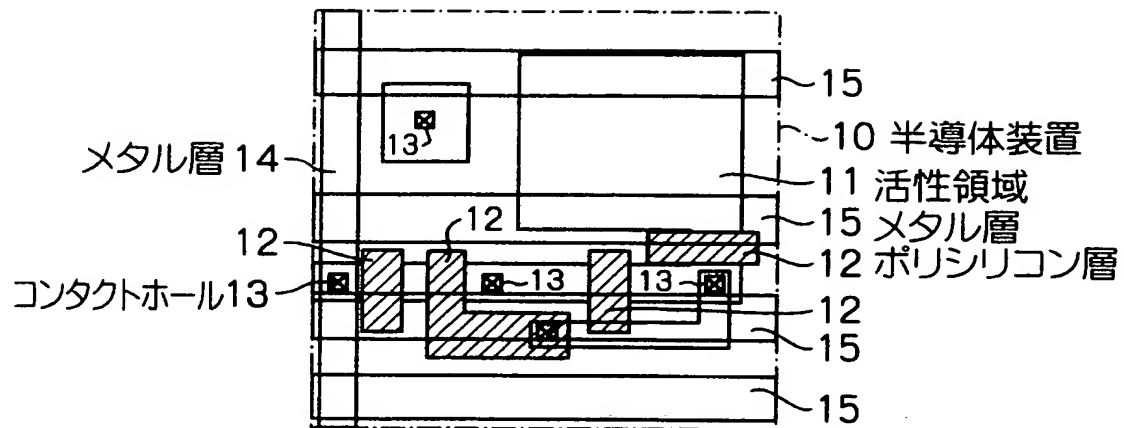
【符号の説明】

- 1 0 半導体装置
- 1 1 活性領域
- 1 2 ポリシリコン層
- 1 3 コンタクトホール

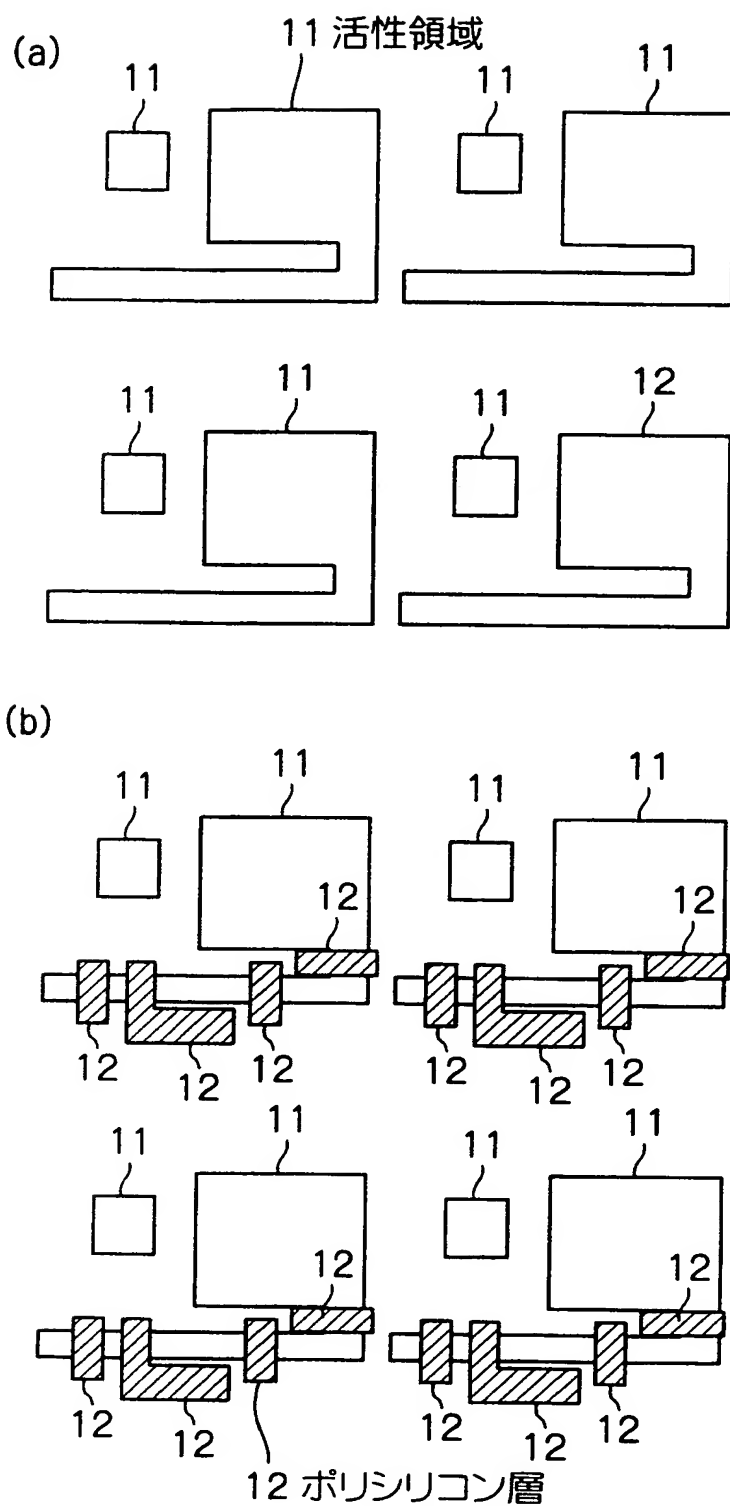
1 4、1 5      メタル層  
2 1 ~ 2 4      ゲート電極

【書類名】 図面

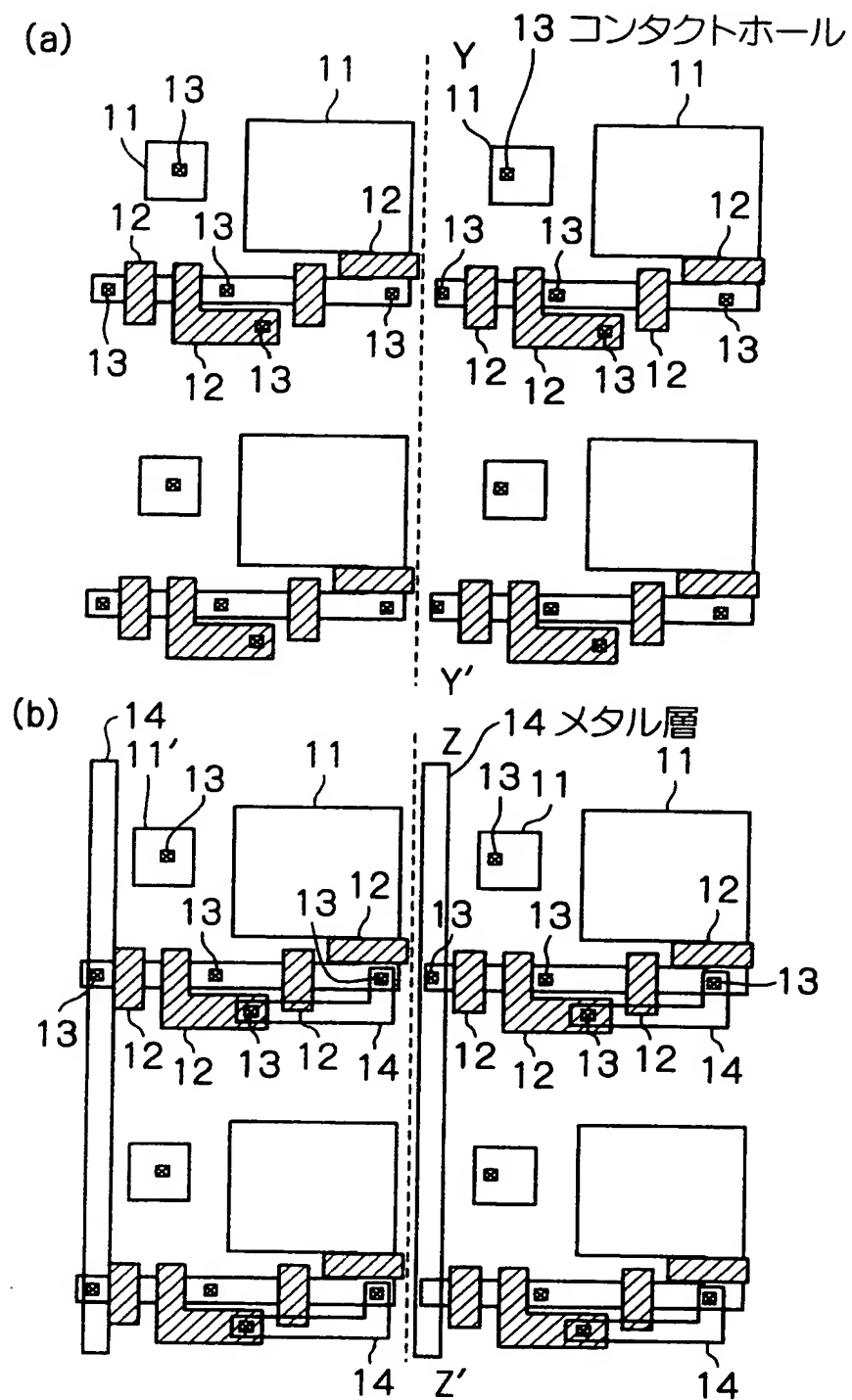
【図 1】



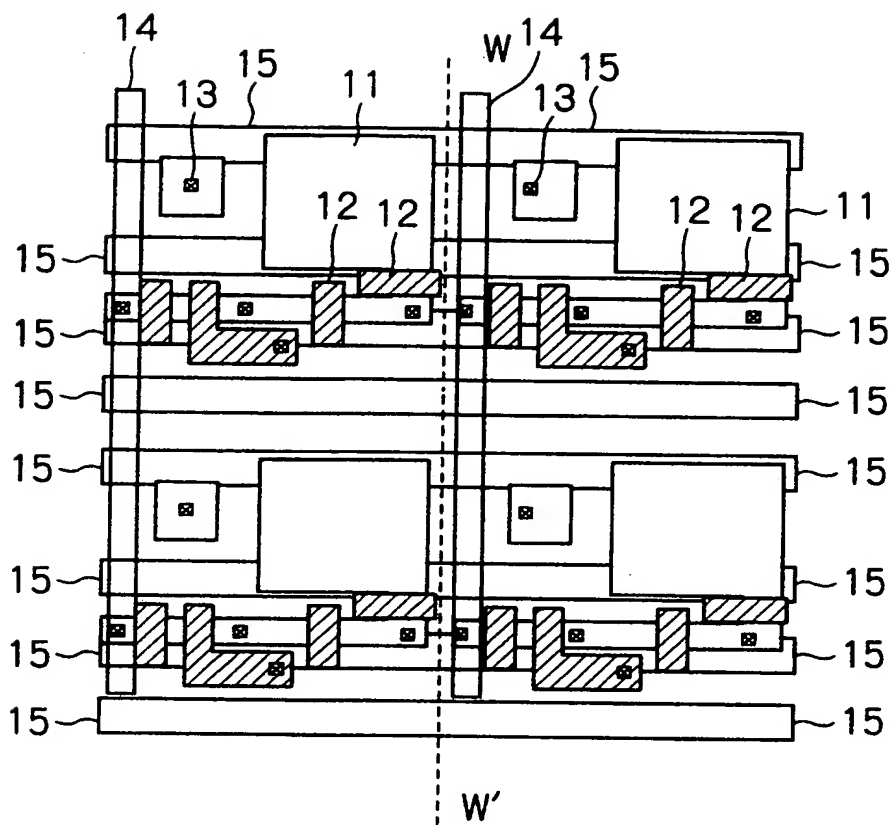
【図 2】



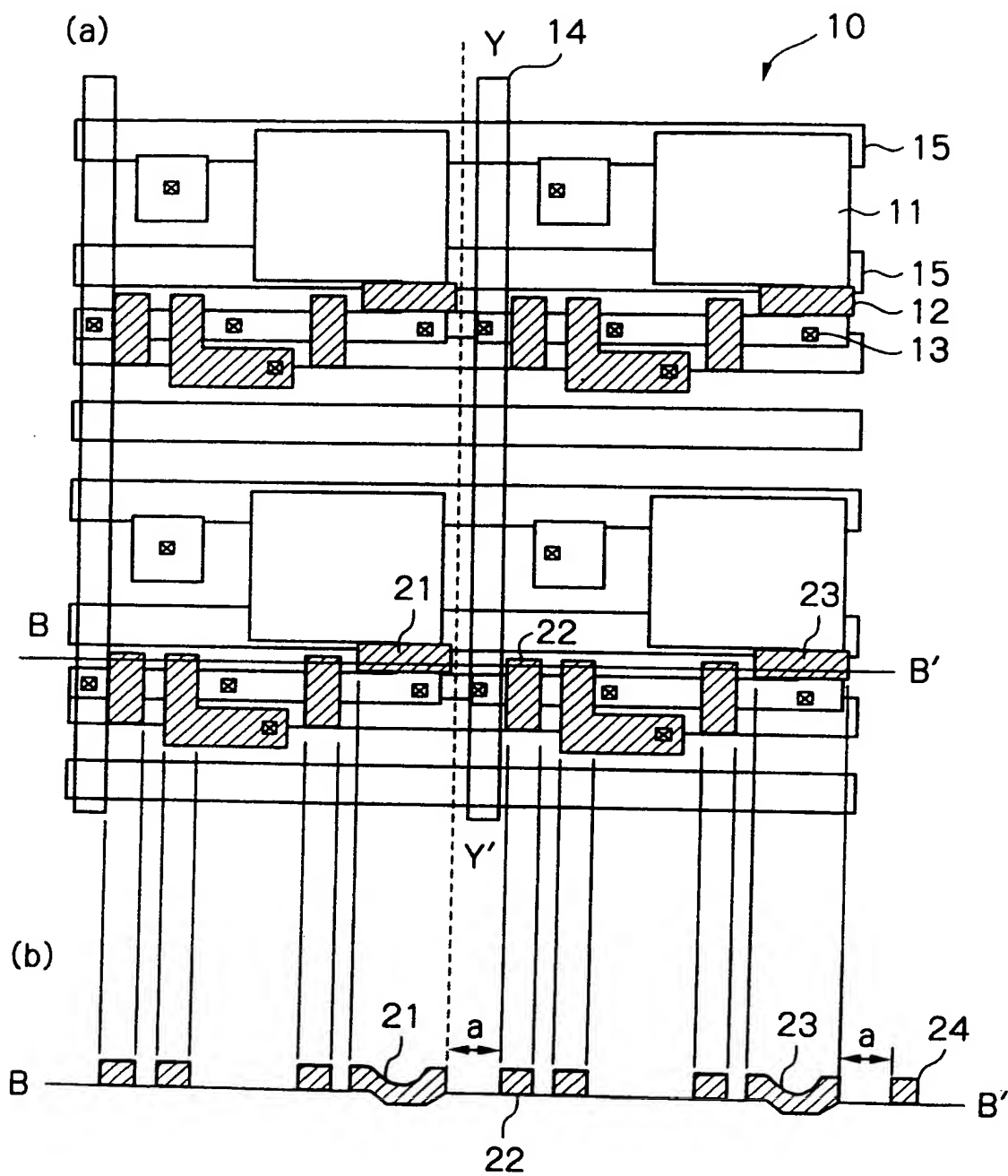
【図 3】



【図 4】

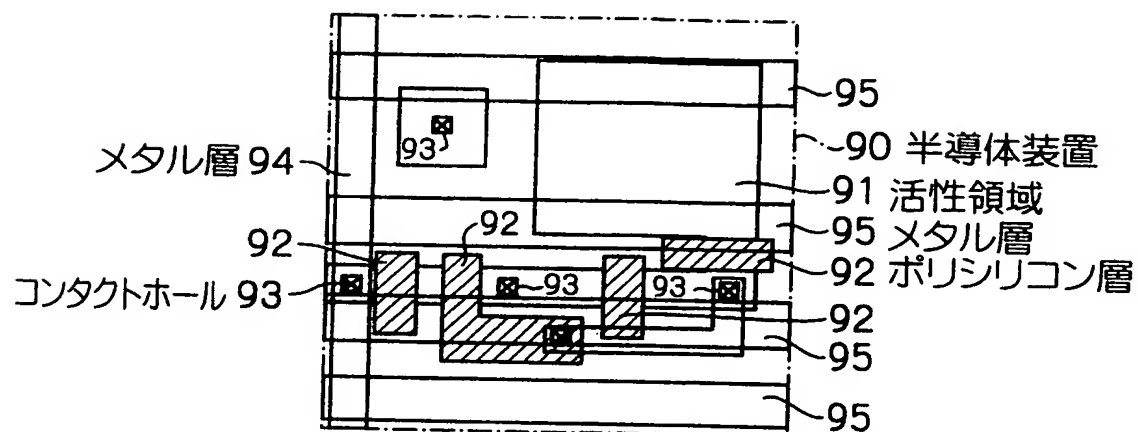


【図 5】

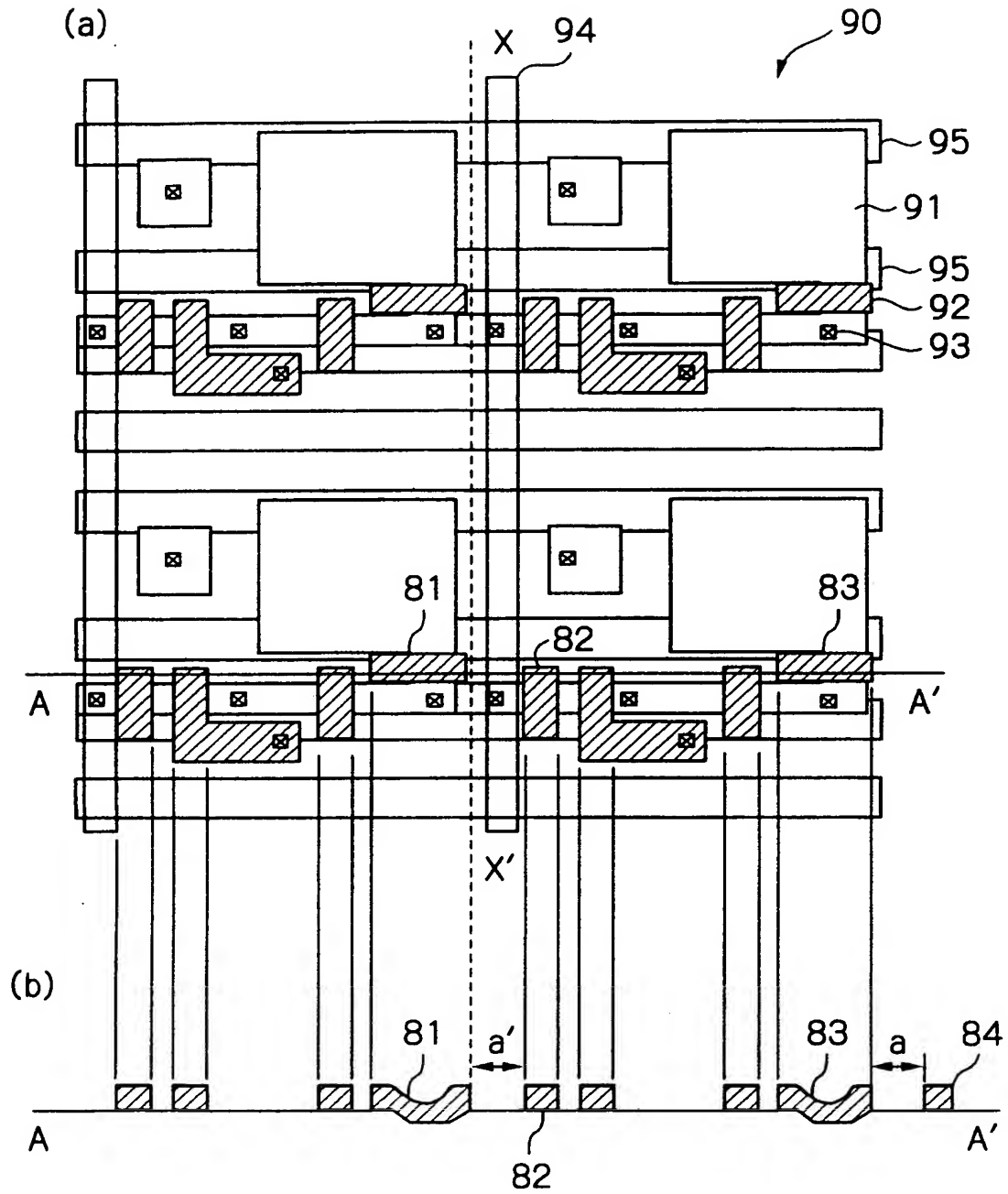




【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 アライメント誤差の影響を低減した半導体装置の製造方法を提供する

。

【解決手段】 半導体装置 10 は、複数の同じパターンをそれぞれ含む複数の層により構成された同じ構造の複数の素子を有する。他の配線との位置関係によって生じる寄生容量の値に素子間で差があると半導体装置 10 の動作に実質的な影響を与えるような配線を含む層 12 以前にパターン形成する層 11、12 については一括露光でパターン形成する。それ以降にパターン形成する他の全ての層 13、14、15 については分割露光でパターン形成する。

【選択図】 図 5

特願 2 0 0 2 - 2 7 5 9 4 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 0 0 7 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社